



Järjestelmäintegroinnin haasteet — kohti nanoskaalaisia teknologioita

Jari Nurmi
Tampereen teknillinen yliopisto
Digitaali- ja tietokonetekniikan laitos
jari.nurmi@tut.fi

Teksti pohjautuu virkaanastujaisesitelmään 23. 3. 2005. Jari Nurmi on nimetty Tampereen teknillisen yliopiston digitaali- ja tietokonetekniikan professorin virkaan 1. 1. 1999 lukien.

1 Johdanto

Järjestelmäintegroinnilla tarkoitetaan kokonaisten elektronisten järjestelmien tai niiden merkittävien osien integrointia mikropiiriksi (System-on-Chip, SoC) tai yhteen koteloon (System-in-Package, SiP). Puhutaan myös ohjelmoitaville piireille integroiduista järjestelmistä (System-on-a-Programmable-Chip, SoPC), jotka edustavat ohjelmoitavien logiikkapiirien viimeisintä kehitysvaihetta. Suunnittelunäkökulmasta keskeistä on usean suunnitteluvuon yhdistyminen, esimerkiksi

- analoginen ja digitaalinen elektroniikka,
- prosessori ohjelmistoinen ja digitaalinen laitteisto, sekä
- elektroniikka yhdistettynä mekaniikkaan tai optiikkaan.

Järjestelmäintegrointiin liittyy monia haasteita, joita asettavat toisaalta alati kehittyvien erittäin pienen viivanleveyden

(alle mikrometrin kymmenesosan, Deep-Submicron, DSM) piirivalmistusprosessien fysikaaliset ominaisuudet, toisaalta järjestelmien kasvava monimutkaisuus.

Tarvitaan laaja-alaista osaamista, poikkitieteellisyttä ja “pystytieteellisyttä” — vertikaalista poikkitieteellisyttä järjestelmä- ja sovellustasolta monimutkaisen suunnitteluvuon kautta haasteellisiin toteutusteknologioihin. Kaupallisen soveltamisen kannalta asiaa monimutkaiset vielä kansainvälinen toimintaympäristö, varsinaisten SoC-piirien valmistuksen kallis hinta ja lukuisten eri toimijoiden aiheuttamat monimutkaiset liiketoimintamallit. Tässä artikkelissa tarkastellaan haasteita erityisesti digitaalisten järjestelmien integroinnin kannalta.

2 Piiriteknologian haasteet

Mikropiirien valmistusteknologiat kehittyvät jatkuvasti kohti pienempiä viivanleveyksiä. Taulukossa 1 on esitetty tekno-

Taulukko 1: Piiriteknologioiden kehitys.

Vuosi	1989	1999	2009
Viivanleveys	700 nm	250 nm	25–35 nm
Johdinkerroksia	2	6	12–16
Transistoreja / piiri	10^5	10^7	10^9
Tyypillinen prosessoritaajuus	50 MHz	400 MHz	12 GHz

logian kehitys 10 vuoden askeleilla. Vuoden 2009 luvut perustuvat Semiconductor Industry Associationin (SIA) tiekarttaan vuodelta 2004 [3]. Vertailukohtana voidaan käyttää keskimääräistä atomin kokoa 0,13 nm — eli lähivuosien teknologioissa pienimmät johtimien ja transistorien mitat ovat vain noin 200 atomin levyisiä kerroksia! Johtimien välejä pienennetään samassa suhteessa kuin johtimien leveyttä.

Toisiaan lähellä olevat johtimet muodostavat ikäänkuin sähkövaraston, kondensaattorin. Kondensaattorin varastointikykyyn suuruutta kutsutaan *kapasitanssiksi*. Signaalin eteneminen edellyttää tämän varaston täyttämistä tai tyhjentämistä. Siihen kuluu sitä pitempi aika, mitä isompi kapasitanssi on, ja mitä huonommin sähkö pääsee kulkemaan eli mitä isompi johtimien *resistanssi* on. Nämä asettavat ylärajan piirin toimintanopeudelle.

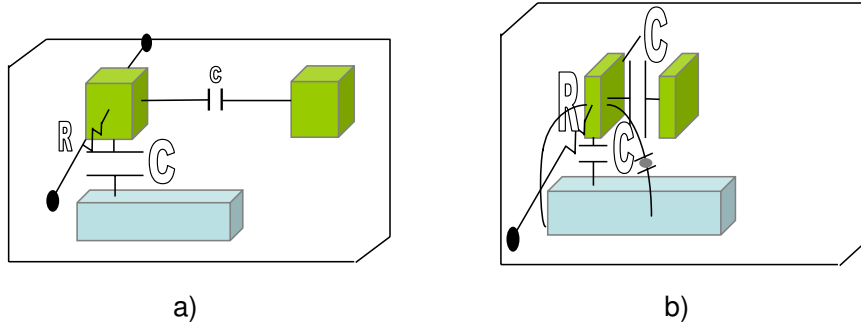
Uusissa nanoskaalaisissa teknologioissa piirillä olevien johtimien etäisyys toisistaan on hyvin pieni (kymmeniä nanometrejä), samalla kun johtimen korkeus on vakio tai jopa suurempi kuin vanhemmissa teknologioissa. Tämä johtuu siitä, että poikkileikkaukseltaan suorakaiteen muotoisten johtimien resistanssi kasvaisi liikaa johtimen leveyden pienentyessä mikäli myös johdinpaksuutta samalla skaalattaisiin alaspäin. Tällä olisi suuri vaiku-

tus signaalien etenemisviiveisiin johtimissa.

Korkeat, kapeat, toisiaan lähellä olevat johtimet muodostavat kondensaattorin, jonka kapasitanssi on sitä suurempi mitä lähempänä toisiaan johtimet ovat. Kuvassa 1 on havainnollistettu muutoksen suuntaa teknologioiden kehittyessä. Johtimien keskinäinen kapasitanssi dominoi piirin signaaliviiveiden muodostumisessa, se on merkittävämpi tekijä kuin johtimen kapasitanssi piipalan muodostamaa maatasoa vastaan tai signaalijohtimen kautta ajettavan logiikkaportin sisäänmenon kapasitanssi.

Kasvaneiden keskinäiskapasitanssien takia ylikuuluminen eli signaalin vuotaminen eristekerroksen läpi johtimesta toiseen on yhä suurempi ongelma piirin sisällä. Kapasitanssin arviointi on myös vaikeaa, koska johtimen kapasitanssi riippuu sen reitistä suhteessa muihin johtimiin ja jopa viereisten johtimien signaalitasoista ja transitioista, johtuen ylikuulumisesta. Johdotuksen ja yleensä piirinsisäisen kommunikation suunnittelu onkin nousnut merkittäväksi tekijäksi piirisuunnittelussa [7].

Kapasitanssien lisäksi uusia huomioonotettavia ilmiöitä ovat induktanssi, vuotovirrat, tehotiheyden kasvu ja luotettavuus.



Kuva 1: Kapasitanssien muutos teknologiasukupolvesta toiseen: a) 500 nm teknologia. b) 180 nm teknologia.

Induktanssi tarkoittaa sähkömagneettisista ilmiöistä aiheutuvaa johtimen taipumusta vastustaa muutoksia sähkövirrassa. Yhdessä kapasitanssin kanssa se muuttaa signaalin johdossa eteneväksi pulssiksi, joka saattaa pitkissä johtimissa suurilla taajuuksilla heijastua takaisin johtimen päästä ja jyrkistä mutkista ja siten sekoittaa piirin toimintaa. Induktiiviset johtimet tehonsyötössä aiheuttavat kuormituksesta riippuvia vaihteluita käyttöjännitteeseen, mikä saattaa aiheuttaa virhetoimintoja logiikkaan.

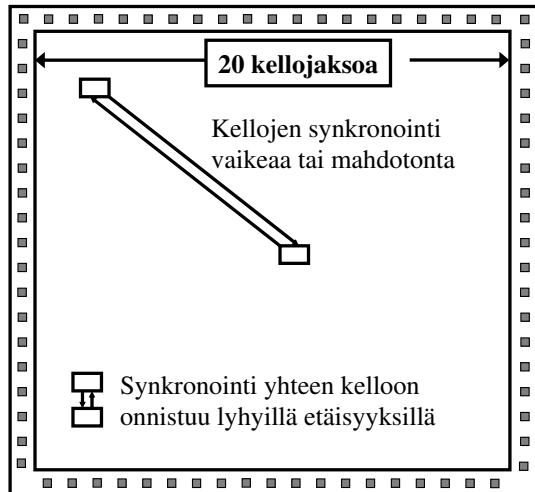
Perinteisesti CMOS-teknologialla toteutetut piirit ovat kuluttaneet virtaa vain silloin, kun logiikassa tapahtuu tilanvaihtoja ($0 \rightarrow 1$ tai $1 \rightarrow 0$). Vuotovirta eli staattisessa tilassa kulkeva (toiminnan kannalta täysin hyödytön tai joskus jopa haitallinen) virta on ollut häviävän pieni. Transistorin kynnsjännite eli yksinkertaistettuna tilanvaihtoon tarvittava jännitemuutos vaikuttaa piirin toimintanopeuteen ja vuotovirtaan, valitettavasti samansuuntaisesti.

Piirien toiminnan nopeuttamiseksi kynnsjännitettä halutaan pienentää samassa suhteessa kuin käyttöjännitettä, mikä tarkoittaa eristepaksuuden ohentamista transistorissa, mikä puolestaan lisää vuotovirtaa staattisessa tilassa. Pienen viivan-

leveyden teknologioissa joudutaan väistämättä tilanteeseen, jossa vuotovirrat ovat jopa merkittävämpi tekijä kuin laskennan kuluttama teho. Joudutaan kehittämään aktiivista vuotovirtojen hallintaa nykyisten järjestelmien tehonsäästölogiikan lisäksi, joka on keskittynyt logiikan aktiivisuuden vähentämiseen.

Riippumatta vuotovirroista, myös tehotehoisuus piirillä kasvaa, koska käyttöjännitettä ei voi skaalata suhteessa pinta-alaan. Mitä suurempi tehotehoisuus, sitä enemmän piirin toiminta tuottaa lämpöä, joka pitää johtaa pois ettei piiri mene epäkuuntoon. On jopa esitetty, että ilman minikäänlaisia toimenpiteitä tehotehoisuus kasvaa samaan suuruusluokkaan kuin ydinreaktiossa, mikä ei tietenkään ole mahdollista, jos laitteiden halutaan toimivankin. Tehonkulutus joudutaan nyt huomioimaan myös muissa kuin kannettavissa laitteissa!

Pienet rakenteet ovat alttiita fyysikaalisille vikaantumismekanismeille. Monimutkaiset vuorovaikutussuhteet piirillä ovat myös vaikeita hallita ja suunnitteluperäisiä systemaattisia virheitä aiheutuu entistä helpommin. Myös häiriöiden aiheuttamat dynaamiset toimintavirheet lisääntyvät. Näinollen vikasiETOisuus ja virheenkorjaus eri tasoilla ovat tulossa osaksi piirisuunnittelua.



Kuva 2: Piirin synkronoinnin ongelma.

3 Suunnittelumenetelmien haasteet

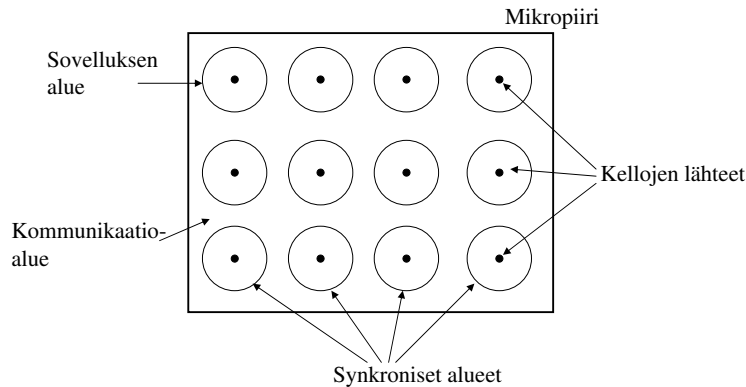
Järjestelmien kellotaajuuksien kasvaessa myös kellosignaalin jakelu piirille muodostuu ongelmallisemmaksi. Valon nopeudellakin suuren mikropiirin ylittämiseen saattaa kuluu kymmeniä kellojaksoja, kun kellotaajuudet ovat gigahertzien suuruusluokkaa. Tätä havainnollistetaan kuvassa 2. Ei voida enää olettaa, että piipalalle integroitu järjestelmä voidaan täysin synkronoida yhteen kellosignaaliin.

Ratkaisuna on jakaa piiri pienempiin synkronisiin saarekkeisiin, joiden välillä signaalit ovat asynkronisia (Globally Asynchronous, Locally Synchronous, GALS), kuva 3. Näin on periaatteessa mahdollista toteuttaa piirille rajoittamaton määrä eri kellotaajuuksilla toimivia synkronisia alijärjestelmiä ilman että järjestelmän synkronointi siitä monimutkaistuu.

Laskennan ja kommunikaation erottamisen lisäksi synkronisten alueiden välinen tiedonsiirto on kehittynyt samaan suuntaan kuin globaaleissa tiedonsiirtoverkkoissa, eli piireillä käytetään kerrok-

sittaisia protokollia (ns. protokollapino). Tällöin puhutaan piirinsisäisistä verkoista (Network-on-Chip, NoC). Kerroslähestyminen mahdollistaa modulaarisuuden. Eri tavoitteista huolehtiminen voidaan eristää yksittäisille tasoille, ja kerrosten väliset rajapinnat yhtenäistämällä voidaan esimerkiksi fyysinen toteutuskerros vaihtaa muuttamatta ylempiä tasoja verkon toiminnasta. Piirinsisäisen verkon toteuksessa ei toki välttämättä seurata orjallisesti OSI-mallin protokollapinon rakennetta, vaan jotkut toiminnot saatetaan toteuttaa poikkeavalla kerroksella.

Eräs maailman tutkimuskärkeä edustava joustava pakettikytkentäinen verkko, PROTEO [8, 9], on kehitetty TTY:ssä. Kuvassa 4 on esitetty reitityssolmu ja esimerkki hierarkkisesta verkkotopologiasta. PROTEO:n lähestymistapana on tarjota muunneltavuutta ja sovelluskohtaisuutta. Verkon topologiaa eikä edes kaikkia protokollakerroksia ei ole kiinnitetty ennalta. Verkon toteutus perustuu parametroituun reitityssolmuun, jossa voi olla eri määrä sisään/uloslinkkipareja (kuvassa 4a niitä on kolme), samoin



Kuva 3: GALS — globaalisti asynkroninen, lokaalisti synkroninen rakenne.

datapuskurien kokoa ja linkkien leveyttä voi muuttaa suunnittelun aikana. TTY:llä on kehitetty myös OIDIPUS-suunnittelutyökalu verkon generointiin, optimointiin ja simulointiin. Verkkoon liitytään OCP-standardirajapinnan kautta, mikä mahdollistaa kolmannen osapuolen lohkojen, esimerkiksi prosessorien, käytön osana verkkoa hyvin suoraviivaisesti.

Toisena lähestymistapana on kiinnittää topologia ennalta (esimerkiksi Mesh-verkko) ja samalla kiinnittää verkon solmupisteiden välisen siirtolinkin fyysiset ominaisuudet. Tämän haittapuolena verkko ei ole joustava ja saattaa johtaa ylenmääräiseen resurssien käyttöön kiinteän rakenteensa takia. Enemmän piirinsisäisistä kommunikaatioverkoista on viitteesä [10].

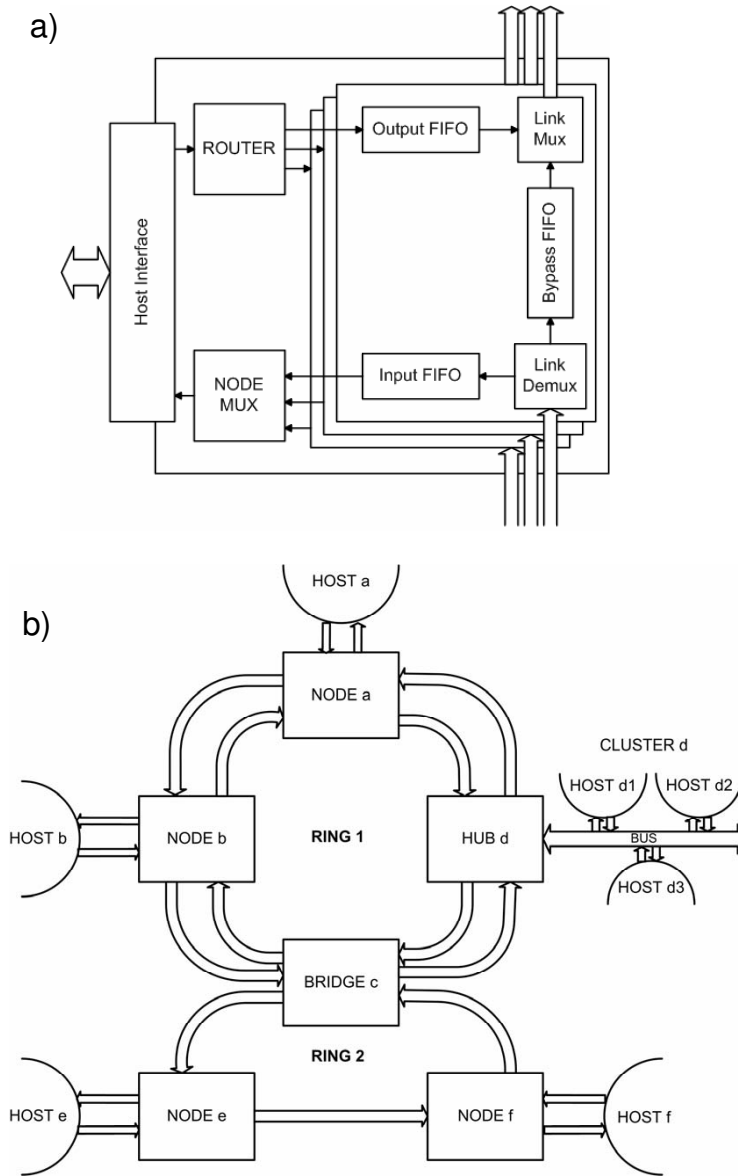
4 Koulutuksen ja perustutkimuksen erityishaasteita

Koulutuksen ja perustutkimuksen kannalta haasteita aiheuttaa myös suunniteltavien järjestelmien ja toteutusteknologioiden monimutkaisuus. Tämä edellyttää yhteistyötä sekä yliopistojen ja yritysten välillä että isompien yliopistokonsortioiden luomista. Konsortion tehtävänä ei

ole vain yksittäisen projektin läpivieminen vaan pitkäjänteisempi tutkimuksen harmonisointi ja yhteistyö, jossa projektit ovat vain rahoitusinstrumentteja.

Koulutukselliseen haasteeseen kuuluu myös kansainvälisen ympäristön luominen Suomeen ja omaa osaamista täydentävän tiedon tuonti. Tähän päästään tutkijavaihdolla, kutsumalla ulkomaisia asiantuntijoita luennoimaan, sekä järjestämällä kansainvälisiä konferensseja Suomessa. Tästä esimerkkinä vuonna 2005 Tampereella järjestettävä International Conference on Field Programmable Logic and Applications [1], vuosittainen tamperealaiskonferenssi International Symposium on System-on-Chip [2], ja Oulussa tänä vuonna järjestettävä NORCHIP 2005 [5] piiriteknikan konferenssi.

Haasteita perustutkimukseen aiheuttavat myös tutkimuksen ja yritysten aikajänne-erot. TEKES:in osarahoittamiin projekteihin on joko vaikea saada riittävää rahoitus pohjaa tai joudutaan tekemään kompromisseja tutkimuksen suuntauksessa. Suomen Akatemian hankerahoitus on pienuutta ja sen "hajaspektrio-minaisuudet" (rahoituksen jakautuminen tasapuolisuuden nimissä laajalle kentälle pieninä paloina, jolloin kokonaisuus näyttää kohinalta) vaikeuttavat kriittisen massan saavuttamista.



Kuva 4: PROTEO-piirinsäinen verkko: a) reitityssolmu ja b) esimerkki verkkotopologiasta.

Tutkijakoulu- ja muu tutkijarahoitus on toki hyvää, mutta myös erittäin kilpailtua. Tämä rahoitusmuoto on kaikkein nopealiikkeisintä uusien avauksien tekemiseen ja tutkimuksen suuntaamiseen dynaamisesti.

Tosiasiasta kuitenkin on, että nykyisin EU-projektit ovat välttämättömiä kriittisen massan ja verkottumisen kannalta, huolimatta isojen konsortioiden hallinnan hankaluudesta. Kansallinen ratkaisu tältä alueelta puuttuu: TEKES-tutkimuksen ”huippuyksikkörahoitus” nanoskalaisten järjestelmien integroinnin alueelle ratkaisisi monta ongelmaa. Huippuyksikkö tässä yhteydessä tarkoittaa huippukonsortiota, koska yksikään yksikkö ei voi olla tällä alalla huippu yksinään!

Alalla tullaan kohtaamaan myös henkisiä haasteita. Todellisen poikkitieteellisyden saavuttaminen opetuksessa ja tutkimuksessa on yksi niistä. Tarvitaan konseptien yhtenäistämistä, yhteistä kieltä eri toimijoille. Kun ajatellaan kommunikatiovaikeuksia ohjelmisto- ja laitteistointien tai RF/analogia- ja digitaalisen välillä, tämä haaste asettuu oikeisiin mittasuhteisiinsa. Erityisesti ruohonjuuritason yhteistyön ja keskustelun aikaansaaminen on keskeistä, hallinnollisilla päätöksillä yhteistyö ei synny.

Toinen henkinen haaste on IPR- ja lakiasioiden nouseminen entistä suurempaan rooliin myös yliopistomaailmassa.

5 Ratkaisuehdotuksia

EU:n tasolla nanoskalaisten elektronikan suunnitteluongelmiin on alettu kiinnittää huomiota viime aikoina. EU:ssa on muo-

dostettu ENIAC-työryhmä^{1 2}, jonka tehtäviin kuuluu:

- kehittää strateginen tutkimusagenda nanoelektronikkasektorille,
- julkistaa strategioita ja tiekarttoja vision toteuttamiseksi,
- stimuloida julkisia ja yksityisiä investointeja nanoelektronikkaan,
- parantaa yhteistyötä Komission, kansallisen, alueellisen ja yksityisen tutkimus- ja kehitystoiminnan kohdistamisessa,
- kehittää verkottumista ja klusterien muodostumista Euroopassa,
- lisätä sitoutumista tutkimukseen ja kehitykseen ja sitä kautta varmistaa Euroopan houkuttelevuus tutkijoille, ja
- toimia vuorovaikutuksessa muiden toimijoiden kanssa kaikilla tasoilla jotka vaikuttavat alan kilpailukykyyn, esimerkiksi opetus, kilpailulainsäädäntö, IPR, rahoitus.

Vuonna 2004 julkistettiin ENIAC:in korkean tason ryhmän raportti nanoelektronikan visiosta vuoteen 2020 mennessä [11], jossa linjataan kuinka Eurooppa saavuttaa nanoelektronisten piirien ja järjestelmien suunnittelun johdoaseman maailmanlaajuisesti. Ohjelmassa mainitaan seitsemän keskeistä tekijää nanoskalaisten elektronikan tehokkaalle hyödyntämiselle:

- poikkitieteellisyden/laajapohjaisuuden hallinta suunnittelussa,
- yhä automatisoidumpien työkalujen tehokas käyttö (myös esimerkiksi 3D-integroinnin ja System-in-Package -toteutusten yhteydessä),

¹ENIAC = European Nanoelectronics Initiative Advisory Council, EU:n nanoelektronikan aihealuerahasto.

²ENIAC = Electronic Numerical Integrator And Computer. Hauska yhteensattuma (?) on, että ENIAC oli myös vuonna 1946 suunnitellun maailman ensimmäisen nykyaikaisen elektronisen tietokoneen nimi.

- parempi toiminnallisuuden analyysi (jota voisi edustaa esimerkiksi korkeamman abstraktiotason käyttö suunnittelussa) toteutusten teknologiasta toiseen siirrettävyyden parantamiseksi,
- uudelleenkäytön parantaminen redundanttien, uudelleenkonfiguroitavien ja adaptoituvien järjestelmien ja piirin kautta (redundanssi ja adaptiivisuus tuovat myös vika-sietoisuutta),
- rajapintojen “standardointi” (ainakin käsitteiden yhtenäistäminen),
- tehon hallinta suunnittelun ja teknologian keinoin, ja
- järjestelmien ja komponenttien testauksen ja verifiointin parantaminen riittävän luotettavuuden säilyttämiseksi (uudet valmistusteknologiat + uudet järjestelmäsuunnittelu-menetykset + monimutkaiset verkottuneet järjestelmät yhdessä!).

Nämä tutkimusaiheet tullaan viemään seitsemännen puiteohjelman tutkimusohjelmien teemoiksi seuraavien parin vuoden kuluessa. TTY on mukana kahdessa konsortiossa, joiden hanke-esitykset on jätetty EU:n IST-ohjelmaan keväällä 2005. *EuroSoC* tähtää ENIAC:in visio 2020:n mukaisten tavoitteiden strategisen suunnittelun hankkeeksi, jossa määritellään tutkimuksen seitsemännen puiteohjelman nanoelektronikan keskeiset teemat yhteistyössä piiri- ja järjestelmäteollisuuden kanssa. *NanoSoC* on hanke-esitys eurooppalaisen osaamisen ja opetuksen kehittämiseen nanoskalaisten järjestelmien suunnittelun alueella, tässä ovat mukana kaikki merkittävimmät alan yliopistot Euroopasta sekä kaksi keskeistä eurooppalaista mikropiirivalmistajaa. Toimintamalli perustuu aikaisempaan projektiin, jossa kehitettiin järjestelmäpiirien

opetusta yhteistyössä teollisuuden kanssa [6].

Suomen tasolla on myös tarkasteltu järjestelmäintegraation visioita, Suomen ja suomalaisen teollisuuden perspektiivistä. Vuonna 2004 työstetty visio ja toimenpidesuositukset tarkastelevat ajanjaksoa 2007–2014. Keskeisiä menestystekijöitä tulevat olemaan järjestelmäosaamisen yhdistettynä nopeaan omaksumiseen ja koko suunnittelu- ja tuotantoketjun hallintaan kansallisen ja kansainvälisen verkottumisen avulla. Tämä kaikki edellyttää merkittäviä panostuksia myös järjestelmäsuunnittelun ja mikroelektronikan opetukseen ja perustutkimukseen.

6 Yhteenveto

Järjestelmäintegraatio kohtaa haasteita teknologian käytössä ja toisaalta järjestelmien kasvavassa monimutkaisuudessa. Järjestelmäintegraatio tarvitsee laaja-alaisuutta ja kriittistä massaa toteutuakseen. Järjestelmäosaamista ja -lähestymistapaa on vahvistettava Suomessa. Käsitteiden yhtenäistäminen ja rajapinnoista sopiminen eri abstraktiotasoilla on keskeistä. Alan kaikki toiminta mukaanlukien tiedotus, koulutus, tutkimus, kehittäminen ja liiketoiminta on resursoitava riittävällä tasolla muutoksen aikaansaamiseksi. Kansallisen ja kansainvälisen yhteistyön edelleen kehittäminen on tällä alalla erityisen tärkeää.

Viitteet

- [1] FPL 2005 verkkosivu <http://fpl.cs.tut.fi/> (haettu 25.4.2005)
- [2] International Symposium on System-on-Chip verkkosivut <http://www.cs.tut.fi/soc/> (haettu 25.4.2005)

- [3] *International Technology Roadmap for Semiconductors (ITRS)*. Semiconductor Industry Association, 2004.
- [4] Järjestelmäintegraatioryhmän verkkosivu <http://edu.cs.tut.fi/soc-sme/> (haettu 25.4.2005)
- [5] NORCHIP 2005 verkkosivu <http://www.norchip.org/> (haettu 25.4.2005)
- [6] Jari Nurmi, Jouni Isoaho, Hannu Tenhunen, Jan Madsen, Erwin Ofner & Ivan Ring Nielsen, "SoC-Mobinet — A Project for Collaborative System-on-Chip Curricula Development with Industrial Support", *Proc. 4th European Workshop on Microelectronics Education (EWME 2002)*, Baiona, Spain, May 23–24, 2002, pp. 21–24.
- [7] Jari Nurmi, Hannu Tenhunen, Jouni Isoaho & Axel Jantsch (toim.), *Interconnect-Centric Design for Advanced SoC and NoC*, Kluwer Academic Publishers, 2004, ISBN 1-4020-7835-8.
- [8] David Sigüenza-Tortosa, Tapani Ahonen & Jari Nurmi, "Issues in the Development of a Practical NoC: The Proteo Concept", *Integration, The VLSI Journal*, Elsevier, Vol. 38, pp. 95–105, October 2004.
- [9] David Sigüenza-Tortosa & Jari Nurmi, "Proteo: A New Approach to Network-on-Chip", *Proc. International Conference on Communication Systems and Networks (CSN 02)*, Malaga, Spain, September 9–12, 2002, pp. 355–357.
- [10] Hannu Tenhunen & Axel Jantsch (toim.), *Networks on Chip*, Kluwer Academic Publishers, 2003. ISBN 1-4020-7392-5.
- [11] *Vision 2020. Nanoelectronics at the Centre of Change*. Report of the High Level Group of ENIAC. European Commission, June 2004. ftp://ftp.cordis.lu/pub/ist/docs/eniac/nanoelectronics_vision2020.pdf (muutettu 23.6.2004, haettu 25.4.2005)